

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 2 2 1 1 3

(43) 公開日 平成 1 1 年 (1 9 9 9) 4 月 3 0 日

(51) Int. Cl.

H03M 7/00

H04N 7/30

識別記号

庁内整理番号

F I

H03M 7/00

H04N 7/133

技術表示箇所

2

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平 9 - 2 7 7 0 2 2

(22) 出願日

平成 9 年 (1 9 9 7) 1 0 月 9 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 塚越 郁夫

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

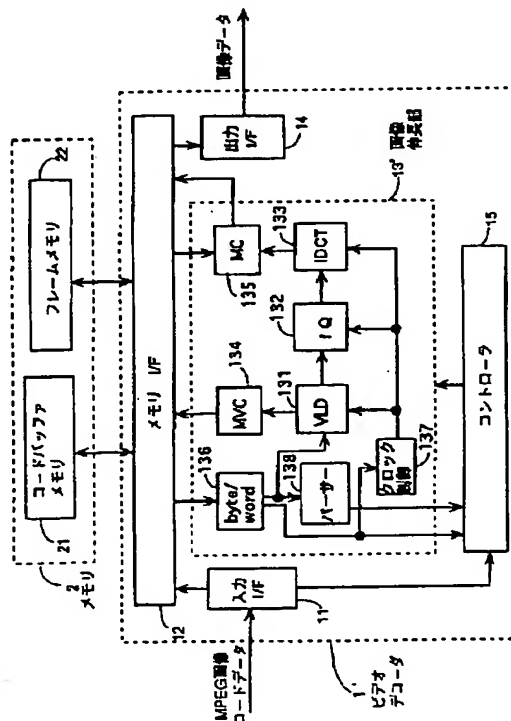
(74) 代理人 弁理士 杉山 猛

(54) 【発明の名称】 データ復号化装置及び方法

(57) 【要約】

【課題】 圧縮符号化された可変レートの入力データに対してもデコードの開始タイミングが遅れないようにする。

【解決手段】 コードバッファメモリ 21 に蓄積された M P E G 画像コードデータは直ちにコントローラ 15 により読み出され、バイト／ワード変換部 136 に送られる。コードバッファメモリ 21 にデコードできる量（ここでは 1 ワード）の M P E G 画像コードデータが蓄積されると、バイト／ワード変換部 136 が V L D 部 131 の V L D テーブルを引けるようになるので、V L D 部 131、I Q 部 132、及び I D C T 部 133 にクロック信号が供給されるようになり、デコードが開始される。



【特許請求の範囲】

【請求項 1】 圧縮符号化されたデータを一時蓄積する第 1 の手段と、

前記第 1 の手段から読み出したデータを復号化する第 2 の手段とを備え、前記第 2 の手段は前記第 1 の手段に所定量のデータが蓄積された時点で復号化を開始することを特徴とするデータ復号化装置。

【請求項 2】 前記所定量は 1 ワードである請求項 1 に記載のデータ復号化装置。

【請求項 3】 前記所定量は第 1 の手段の蓄積容量の 1 / 2 である請求項 1 に記載のデータ復号化装置。

【請求項 4】 圧縮符号化されたデータを復号化する際に、圧縮符号化されたデータを一時蓄積するバッファに所定量のデータが蓄積された時点で復号化を開始することを特徴とするデータ復号化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば M P E G (Moving Picture Experts Group) 方式により圧縮符号化された画像データを復号化する装置及び方法に関し、詳細には可変レートで圧縮符号化されたデータを復号化する際に復号化タイミングを制御する技術に関する。

【0002】

【従来の技術】 図 3 は従来の画像データ復号化装置の構成を示す。この画像データ復号化装置は、ビデオデコーダ 1 とそれに接続されたメモリ 2 とから構成されている。

【0003】 ビデオデコーダ 1 は、大別すると入力インタフェース 1 1 と、メモリインタフェース 1 2 と、画像伸長部 1 3 と、出力インタフェース 1 4 と、コントローラ 1 5 とから構成されている。メモリ 2 はコードバッファメモリ 2 1 と、フレームメモリ 2 2 とを備えており、ビデオデコーダ 1 内のメモリインタフェース 1 2 に接続されている。

【0004】 画像伸長部 1 3 は、V L D (Variable Length Decoding: 可変長復号) 部 1 3 1 と、I Q (Inverse Quantization: 逆量子化) 部 1 3 2 と、I D C T (Inverse Discrete Cosine Transform: 逆離散コサイン変換) 部 1 3 3 と、M V C (Motion Vector Calculation: 動きベクトル計算) 部 1 3 4 と、M C (Motion Compensation: 動き補償) 部 1 3 5 と、パーサ 1 3 8 とから構成されている。

【0005】 次に、この画像データ復号化装置の動作を説明する。この動作の制御はコントローラ 1 5 が行う。

【0006】 M P E G 方式で圧縮符号化された画像のコードデータ (以下 M P E G 画像コードデータという) は入力インタフェース 1 1 に入力され、ここでエラー訂正

処理等を施され、メモリインタフェース 1 2 を経由してコードバッファメモリ 2 1 に蓄積される。

【0007】 コードバッファメモリ 2 1 に蓄積された M P E G 画像コードデータは、デコードのタイミング (このタイミングについては後述する) になったら、コードバッファメモリ 2 1 から読み出され、V L D 部 1 3 1 において、可変長符号化を用いて圧縮符号化されている圧縮コードのデコードを施される。また、コードバッファメモリ 2 1 から読み出されたデータは、パーサ 1 3 8 に送られ、ここで検出された P T S (Presentation Time Stamp) がコントローラ 1 5 に送られる。

【0008】 V L D 部 1 3 1 の出力は I Q 部 1 3 2 と M V C 部 1 3 4 へ送られる。M V C 部 1 3 4 では、V L D 部 1 3 1 にてデコードされた動きベクトルパラメータから、動きベクトルの値を計算し、フレームメモリ 2 2 から必要なデータを読み出し、M C 部 1 3 5 で動き補償の演算が行なえるようにする。また、I Q 部 1 3 2 では画像データの D C T 係数の逆量子化を行なう。

【0009】 I D C T 部 1 3 3 では、画像データを離散コサイン変換した D C T 係数が入力されるので、逆離散コサイン変換が行なわれ、もとの画像データが復元され、M C 部 1 3 5 へ送られる。

【0010】 M C 部 1 3 5 では、フレーム間予測符号化された P ピクチャと B ピクチャに対して、動きベクトル値に基づいてフレームメモリ 2 2 から読み出されたデータと、I D C T 部 1 3 3 からのデータを用い、動き補償の演算を行ない完全に復号化された画像データを作成する。

【0011】 復号化された画像データは、一度フレームメモリ 2 2 に蓄えられ、表示のタイミングに合わせて読み出され、出力インタフェース 1 4 から外部へ出力される。次に図 4 を参照しながら図 3 に示した画像データ復号化装置におけるデコードのタイミングについて説明する。図 4 において縦軸は入力データのサイズを表し、横軸は時刻を表す。また、傾斜した直線 A と直線 B との間隔がコードバッファメモリ 2 1 のサイズを表す。さらに、傾斜した直線 A と直線 B は入力データのビットレートを表し、直線 A と直線 B に挟まれた領域でコードバッファメモリ 2 1 内のデータの蓄積状態を表す。入力データのレートが固定の場合には直線 A と直線 B の傾きは一定であるが、可変レートの場合には時間とともに変化する。また、階段上の線が直線 B を越えて右側にはみ出すことは、コードバッファメモリ 2 1 のオーバーフロー状態を示し、逆に階段上の線が直線 A を越えて左側にはみ出すことは、コードバッファメモリ 2 1 のアンダーフロー状態を示す。コントローラ 1 5 はこのようなオーバーフロー及びアンダーフローが発生しないように制御する。

【0012】 図 4 において T 0 は最初の M P E G 画像コ

ードデータがコードバッファメモリ 2 1 に入力される時刻を示す。コードバッファメモリ 2 1 に入力された M P E G 画像コードデータは、時刻 T 0 から V B V _ d e l a y だけ経過した時刻 T 1 に外部へ出力されるようにデコードされる。すなわち、V B V _ d e l a y は入力インタフェース 1 1 からコントローラ 1 5 に送られるパケットのピクチャヘッダ中に記載されているので、コントローラ 1 5 はその時刻 T 1 からデコードされた画像データの出力が始まるように、コードバッファメモリ 2 1 から M P E G 画像コードデータを読み出し、画像伸長部 1 3 がデコードを開始する。図 4 では、まず I ピクチャが時刻 T 1 から出力されるようにデコードされる。そして、以後はパーサ 1 3 8 が検出した P T S が示すフレーム周期 (N T S C 方式では 2 9 . 9 7 H z 、 P A L 方式では 2 5 H z) の時刻 T 2 、 T 3 、 T 4 、 T 5 において順次 P ピクチャ、B ピクチャ、B ピクチャ、P ピクチャの出力が開始されるようにデコードが開始される。

【 0 0 1 3 】

【発明が解決しようとする課題】入力データが固定レートの場合には、前述した方法でデコードすることにより、所定のタイミングで出力し表示することが可能となる。しかし、入力データが可変レートの場合には V B V _ d e l a y の値が “ 0 x F F F F ” となっているため、T 0 に V B V _ d e l a y の値を加算した時刻で出力されるようにデコードしたのでは、デコードを開始する時刻が遅くなってしまう。

【 0 0 1 4 】そこで、本発明は可変レートの入力データに対してもデコードの開始タイミングが遅れないようにしたデータ復号化装置及び方法を提供することを目的とする。また、本発明はあらゆるレートの入力データの復号化に対応できるデータ復号化装置及び方法を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】本発明に係るデータ復号化装置は、圧縮符号化されたデータを一時蓄積する第 1 の手段と、第 1 の手段から読み出したデータを復号化する第 2 の手段とを備え、第 2 の手段は第 1 の手段に所定量のデータが蓄積された時点で復号化を開始することを特徴とするものである。

【 0 0 1 6 】本発明に係るデータ復号化方法は、圧縮符号化されたデータを復号化する際に、圧縮符号化されたデータを一時蓄積するバッファに所定量のデータが蓄積された時点で復号化を開始することを特徴とするものである。

【 0 0 1 7 】本発明によれば、圧縮符号化されたデータは第 1 の手段に一時蓄積される。そして、蓄積量が所定の値になると第 2 の手段により復号化が開始される。

【 0 0 1 8 】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。

【 0 0 1 9 】図 1 は本発明を適用した画像データ復号化装置の構成を示すブロック図である。ここで、図 3 と対応する部分には図 3 で付した符号と同一の符号が付してある。

【 0 0 2 0 】この画像データ復号化装置は、ビデオデコーダ 1 ' とそれに接続されたメモリ 2 とから構成されている。ビデオデコーダ 1 ' は、大別すると入力インタフェース 1 1 と、メモリインタフェース 1 2 と、画像伸長部 1 3 ' と、出力インタフェース 1 4 と、コントローラ 1 5 とから構成されている。メモリ 2 はコードバッファメモリ 2 1 と、フレームメモリ 2 2 とを備えており、ビデオデコーダ 1 ' 内のメモリインタフェース 1 2 に接続されている。以上の基本的構成は、前述した従来の画像データ復号化装置と同じである。

【 0 0 2 1 】画像伸長部 1 3 ' は、V L D 部 1 3 1 と、I Q 部 1 3 2 と、I D C T 部 1 3 3 と、M V C 部 1 3 4 と、M C 部 1 3 5 と、バイト／ワード変換部 1 3 6 と、クロック制御部 1 3 7 と、パーサ 1 3 8 とから構成されている。

【 0 0 2 2 】バイト／ワード変換部 1 3 6 はコードバッファ 2 1 から読み出したバイト単位のコードデータをワード単位のデータに変換する。そして、V L D 部 1 3 1 内の V L D テーブルが引けるようになるまではコントローラ 1 5 及びクロック制御部 1 3 7 に対してアンダーフロー信号を送り続ける。クロック制御部 1 3 7 はアンダーフロー信号を受けている間は V L D 部 1 3 1 、I Q 部 1 3 2 、及び I D C T 部 1 3 3 にクロック信号が供給されないように制御する。コントローラ 1 5 はアンダーフロー信号を受けても、最初に入力されるピクチャに対してはこれを無視する。パーサ 1 3 8 はバイト／ワード変換部 1 3 6 の出力から P T S を検出し、コントローラ 1 5 に送る。

【 0 0 2 3 】次に図 2 を参照しながら図 1 に示した画像データ復号化装置におけるデコードのタイミングについて説明する。ここで、図 4 と対応する部分には図 4 で付した符号と同一の符号が付してある。

【 0 0 2 4 】時刻 T 0 において最初の M P E G 画像コードデータがコードバッファメモリ 2 1 に入力される。そして、デコードできる量 (ここでは 1 ワード) の M P E G 画像コードデータが蓄積された時刻 T 1 ' からデコードが開始される。

【 0 0 2 5 】すなわち、コードバッファメモリ 2 1 に蓄積された M P E G 画像コードデータは直ちにコントローラ 1 5 により読み出され、バイト／ワード変換部 1 3 6 に送られるが、バイト／ワード変換部 1 3 6 は所定量のコードデータが入力され、V L D 部 1 3 1 の V L D テーブルが引けるようになるまではアンダーフロー信号を出力し続ける。そして、クロック制御部 1 3 7 は、このアンダーフロー信号が入力されている間は V L D 部 1 3 1 、I Q 部 1 3 2 、及び I D C T 部 1 3 3 にクロック信

5
号が供給されないように制御するので、デコードが行われない。そして、時刻 $T1'$ になるとバイト/ワード変換部136がVLD部131のVLDテーブルを引けるようになるので、VLD部131、IQ部132、及びIDCT部133にクロック信号が供給されるようになり、デコードが開始される。

【0026】バイト/ワード変換部136の出力はパーサ138に送られる。パーサ138はバイト/ワード変換部136の出力データ中のPTSを検出し、コントローラ15に送る。コントローラ15は最初のIピクチャのPTSを検出したら、それが示す時刻にIピクチャが出力されるように制御する。すなわち、最初のIピクチャのデコードは本来のタイミングよりも早く終了するので、時間 Td だけ待った後、時刻 $T1$ から出力を開始する。以後は、各ピクチャ毎にパーサ138が検出したPTSが示すフレーム周期の時刻 $T2$ 、 $T3$ 、 $T4$ 、 $T5$ において順次Pピクチャ、Bピクチャ、Bピクチャ、Pピクチャの出力が開始されるようにデコードが開始される。

【0027】ここで、最初のIピクチャについては、デコードを開始するタイミングが早過ぎるため、コードバッファメモリ21は、デコード開始後、最初のピクチャをデコードしている間はアンダーフローとなりうる。このとき、コントローラ15に対してインタラプト(interrupt)が発生するが、これはCPU側としては無視して、デコード対象のコードバッファメモリ21に必要なデータが溜まり次第デコードをし続ける。第2番目以降のピクチャは、1つ前のピクチャがPTSのタイミングで表示されるのに同期してデコードされるので、VBVバッファについてのアンダーフローは起こらない。

【0028】なお、以上の説明はコードバッファメモリ

21に1ワードのデータが蓄積されると復号化が開始される場合であったが、例えばコードバッファメモリ21にその容量の1/2のデータが蓄積された時点から1ワード単位で復号化を行うように構成してもよい。

【0029】このように本実施の形態によれば、PTSのみを参照するビデオデコーダにおいて、PTSのタイミングで確実にデコードしたピクチャを表示できる。また、VBV_delayを参照しないでデコードを起動できるので、VBV_delay=0xFFFFとなる可変レート対応のビットストリームのデコードに関しても問題なく行える。

【0030】

【発明の効果】以上、詳細に説明したように、本発明によれば、可変レートの入力データに対してもデコードの開始タイミングが遅れないようにすることができる。また、本発明によればあらゆるレートの入力データの復号化に対応できる。

【図面の簡単な説明】

【図1】本発明を適用した画像データ復号化装置の構成を示すブロック図である。

【図2】本発明を適用した画像データ復号化装置におけるデコードのタイミングを説明するための図である。

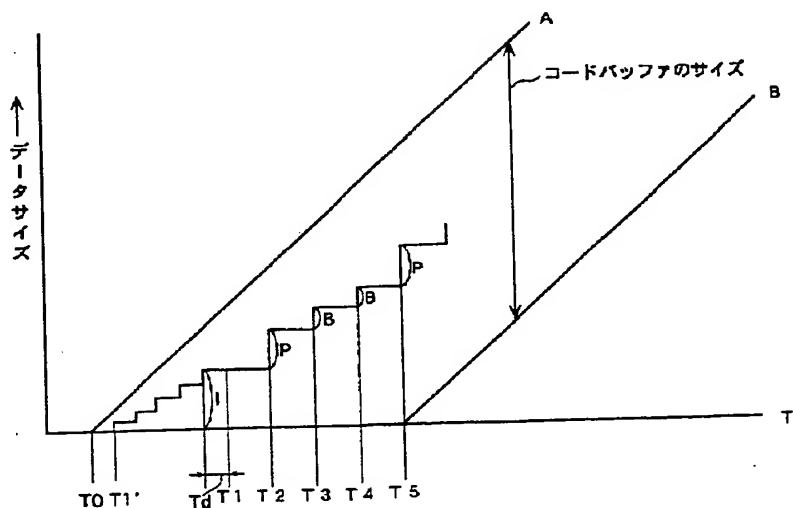
【図3】従来の画像データ復号化装置の構成を示すブロック図である。

【図4】従来の画像データ復号化装置におけるデコードのタイミングを説明するための図である。

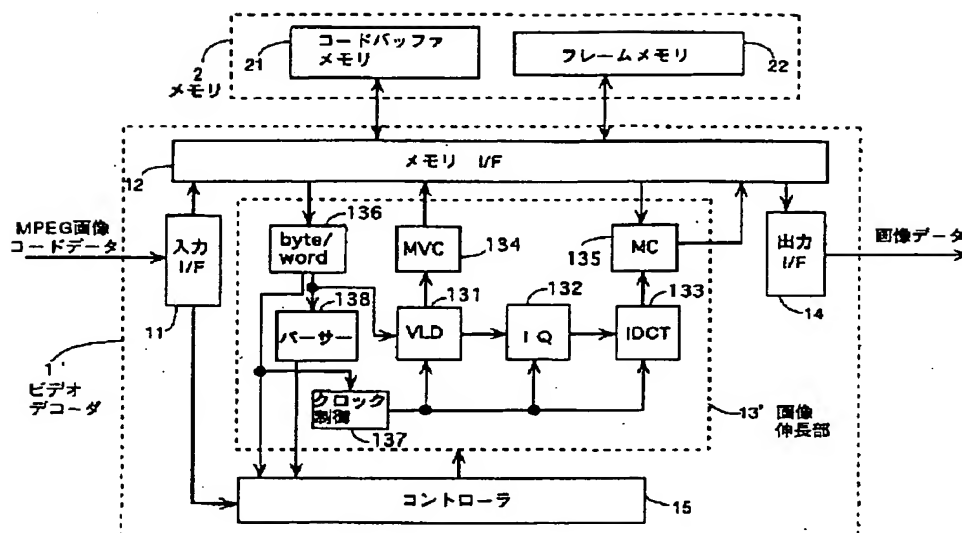
【符号の説明】

1…ビデオデコーダ、2…メモリ、15…コントローラ、21…コードバッファメモリ、136…バイト/ワード変換部、137…クロック制御部、138…パーサ。

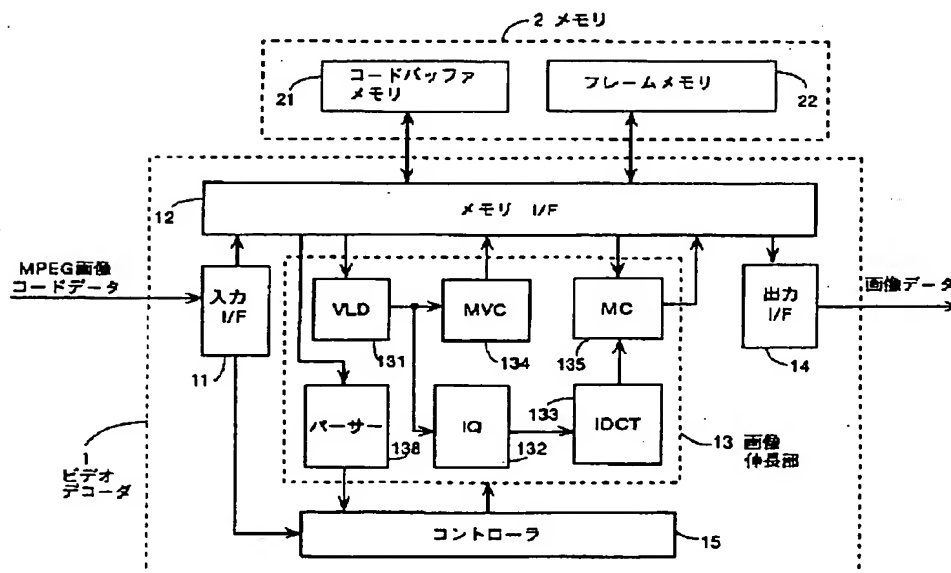
【図2】



【図 1】



【図 3】



【図 4】

